

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 56061848 A

(43) Date of publication of application: 27.05.81

(51) Int. Cl

**H04J 3/00****H04L 5/22**

(21) Application number: 54136353

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 24.10.79

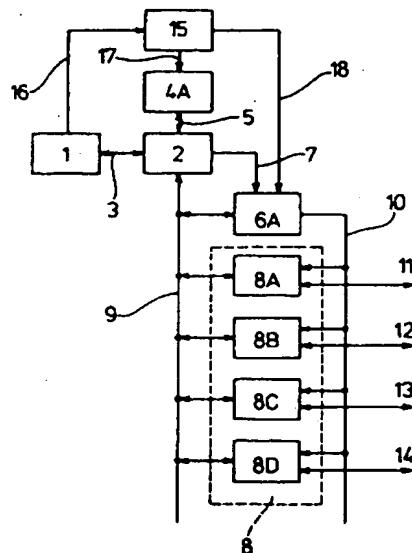
(72) Inventor: YAMASHITA MASATO

**(54) MULTIPLEX COMMUNICATION DEVICE****(57) Abstract:**

**PURPOSE:** To realize an operation for same circuit in case the fall-back occurs due to the deterioration of the circuit quality in a multiplex communication device for data communication, by cutting off the circuit having a low priority or lowering the communication velocity of a low-speed circuit.

**CONSTITUTION:** The communication velocity of the MODEM1 is fallen back e.g. from 9,600BPS/sec to 4,800BPS/sec in accordance with the deterioration of the circuit quality. In this case, the detecting circuit 15 detects the fall-back. Thus the fall-back detection signal is supplied from the timing producing circuit 15. And the circuit 4A reduced the communication velocity down to 1/2 for the synchronous low-speed channel 8A and nonsynchronous low-speed channel 8B. The frame constitution designated by the memory 6A is once per 2 time slots for the channel A and once per 4 times for the channels 8B and 8C each with the channel 8D cut off respectively. As a result, the operation is made possible for some part of the circuit.

COPYRIGHT: (C)1981,JPO&amp;Japio



⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭56-61848

⑫ Int. Cl.  
H 04 J 3/00  
H 04 L 5/22

識別記号

府内整理番号  
6628-5K  
6372-5K

⑬ 公開 昭和56年(1981)5月27日  
発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 多重通信装置

⑮ 特 願 昭54-136353  
⑯ 出 願 昭54(1979)10月24日  
⑰ 発明者 山下真人

青梅市末広町2丁目9番地東京  
芝浦電気株式会社青梅工場内  
東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑱ 代理人 弁理士・則近憲佑 外1名

明細書

1. 発明の名称

多重通信装置

2. 特許請求の範囲

(1) 複数の低速チャネルと、該複数の低速チャネルに接続された多重チャネルと、該多重チャネルにおけるフレーム構成を記憶するメモリと、前記多重チャネルにタイミング信号を供給するタイミング生成回路と、フォールバックを検出して前記タイミング生成回路および前記メモリにそれぞれフォールバックに応じた動作を行なわせるフォールバック検出回路とを具備することを特徴とする多重通信装置。

(2) フォールバックが検出されたとき、タイミング生成回路の働きによって低速チャネルの通信速度が低下させられることを特徴とする特許請求の範囲第1項記載の多重通信装置。

(3) フォールバックが検出されたとき、メモリから読み出されたフレーム構成に従って一部の低速チャネルが多重チャネルから切り離されることを

(1)

特徴とする特許請求の範囲第1項記載の多重通信装置。

3. 発明の詳細な説明

本発明はデータ通信用の多重通信装置に關し、特に高速モデルに接続された回路の品質が低下した際のフォールバック対策を施した多重通信装置に関する。

時分割多重通信装置は、複数の低速同期式・非同期式回路をそれぞれの速度に応じて時分割でタイムスロットに割り当てる。ビット単位又はキヤラクタ単位で多重化し、あるいはこれを分離化して対応する低速同期式・非同期式回路へ分配する装置である。そして、従来の時分割多重通信装置は、たとえば第1図のように構成されていた。即ち1は高速モデルであり、2は多重チャネルである。多重チャネル2は信号ライン3によって高速モデル1と接続されており、高速モデル信号の直列並列変換や時分割タイムスロットに沿ったデータの多重化・分離化を行なう機能を持っている。4はタイミング生成回路である。このタイミング生

(2)

成回路 4 は非同期データのサンアーリングペルスや、同期データのクロック等を作る機能を有しており、信号ライン 5 を介して多重チャネル 2 と相互に連結されている。6 はメモリである。このメモリ 6 は時分割タイムスロットのフレーム構成や、低速チャネルの情報を記憶するもので、信号ライン 7 やおよび 9 を介して多重チャネル 2 と相互に連結されている。8 は低速チャネル群である。この低速チャネル群 8 は、たとえば同期式低速チャネル 8 A・8 B 及び非同期式低速チャネル 8 C・8 D を含んでいる。同期式低速チャネル 8 A・8 B は同期式データの直列→並列変換を行う機能を有しており、ライン 9 やおよび 10 によって多重チャネル 2 やおよびメモリ 6 に接続されている。非同期式低速チャネル 8 C・8 D は非同期式データの直列→並列変換を行う機能を有しており、ライン 9 やおよび 10 によって多重チャネル 2 やおよびメモリ 6 に接続されている。11~14 は低速回路との信号ラインを示している。

次に、上記従来の時分割多重通信装置につき、

(8)

回線の品質が低下した場合に、低速チャネルの通信速度を低下させるか、あるいは低速チャネルの一部を切り離すことにより低速チャネルの一部を選用可能とした多重通信装置を提供することにある。

第 2 図は本発明を時分割多重通信装置に適用した場合の一実施例を示している。図中、第 1 図と同一符号は同一物を示す。15 は検出回路である。検出回路 15 は高速モデム 1 からの異常信号、又は外部のスイッチ操作によりライン 16 を介してフォールバックを検出するものである。検出回路 15 はさらに信号ライン 17 を介してタイミング生成回路 4 A にフォールバックを報知するとともに、ライン 18 を介してメモリ 6 A IC もフォールバックを報知するものである。

次に上記実施例につき第 3 図及び第 4 図のフレーム構成を参照して説明する。いま、第 3 図に示された平時の状態で、多重チャネル 2 の通信速度が 9600 BPS、同期式低速チャネル 8 A の通信速度が 4800 BPS、同期式低速チャネル 8 B の通信

(9)

特開昭56-61848(2)  
キャラクタ単位で多量化する時のフレーム構成を説明する。今、多段チャネル 2 の通信速度を 8 BPS そして、同期式低速チャネル 8 A・8 B、非同期式低速チャネル 8 C・8 D の通信速度をそれぞれ A BPS・B BPS・C BPS・D BPS とすると、その時のフレーム構成は次のようになる。すなわち、時分割タイムスロットは、A BPS の低速チャネル 8 A IC には 8/A タイムスロットに 1 回、B BPS の低速チャネル 8 B IC には 8/B タイムスロットに 1 回、C BPS の低速チャネル 8 C IC には 8/C タイムスロットに 1 回、D BPS の低速チャネル 8 D IC には 8/D タイムスロットに 1 回の割合で与えられる。

ところが、上記従来の時分割多重通信装置には、回路品質の低下に応じて高速モデム 1 の通信速度をたとえば 8/2 BPS に低下させると、前述の如き時分割タイムスロット割り当てのままでは時分割多重通信装置そのものが動作しないという欠点を有していた。

本発明はかかる従来の欠点を解決する為になされたもので、その目的は高速モデムに接続された

(10)

速度が 2400 BPS、非同期式低速チャネル 8 C・8 D の通信速度がそれぞれ 1200 BPS であるものとする。このとき同期式低速チャネル 8 A IC には、9600/4800 タイムスロットに 1 回すなわち 2 タイムスロットに 1 回のタイムスロットが割り当てられる。同様に同期式低速チャネル 8 B IC には、4 タイムスロットに 1 回、非同期式低速チャネル 8 C・8 D IC にはそれぞれ 8 タイムスロットに 1 回割り当てられる。

回路の品質低下に応じて高速モデム 1 の通信速度を 9600 BPS から 4800 BPS ヘフォールバックさせた時、検出回路 15 は高速モデム 1 からの信号又は外部のスイッチ操作によってフォールバックを検出する。その結果、タイミング生成回路 4 A 及びメモリ 6 A IC へ検出回路 15 からフォールバック検出信号が供給される。すると、タイミング生成回路 4 A は高速モデム 1 のフォールバックに応じて同期式低速チャネル 8 A IC の通信速度を 4800 BPS から 2400 BPS に、低速チャネル 8 B IC の通信速度を 2400 BPS から 1200 BPS にそれぞれ低下させる。ま

(11)

たメモリ 6 A によって指定されるフレーム構成も高速セグメント 1 のフォールバッタに応じて変更される。たとえば第 4 図に示されているように、同期式低速チャネル 8 A には 4800/2400 タイムスロット 1 回すなわち 2 タイムスロットに 1 回、同期式低速チャネル 8 B 及び、非同期式低速チャネル 8 C にはそれぞれ 4 タイムスロットに 1 回割り当てる。そして、同期式低速チャネル 8 D は切り離される。

又、フォールバッタが解除されたときは、検出回路 15 はフォールバッタ報知信号の出力を停止する。その結果、タイミング生成回路 4 A は低速回数のクロックを元の状態に戻し、メモリ 6 A はフレーム構成を元の状態に戻し装置全体が元に復帰する。尚、上記実施例では時分割多重通信装置について述べてきたが、周波数分割による多重通信装置のフォールバッタにも応用することができるることは当然である。

このように本発明の装置を用いれば多重通信装置を用いた際に、画質品質の低下によってフォー

(7)

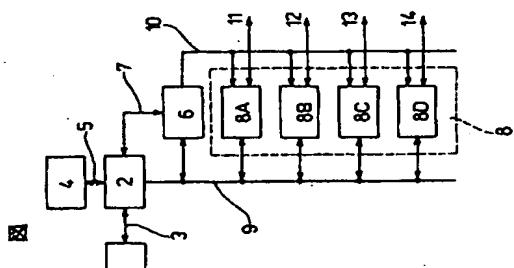


図  
一  
概

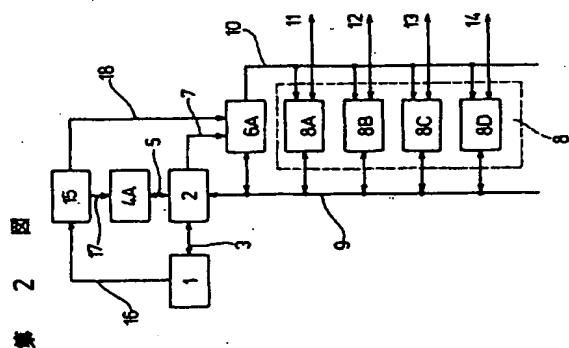


図  
二  
概

特開昭56- 61848(3)  
ルバッタが生じても、後先度の低い回線を切り離したり、低速回線の通信速度を低下させたりすることにより、一部回線の運用が可能となる。

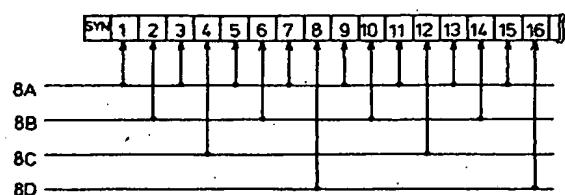
#### 4. 図面の簡単な説明

第 1 図は從来の時分割多重通信装置の構成図、第 2 図は本発明の一実施例を示す構成図、第 3 図は通常時のフレーム構成を示す図、第 4 図はフォールバッタ時のフレーム構成例を示す図である。

1 …… 高速セグメント      2 …… 多重チャネル  
4 · 4 A …… タイミング生成回路  
6 · 6 A …… メモリ  
8 A, 8 B, 8 C, 8 D …… 低速チャネル  
15 …… 検出回路

(7317) 代理人弁理士 別 五 肇 佑 (ほか1名)

第 3 図



第 4 図

